

106

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020040059009 A**

(43)Date of publication of application: **05.07.2004**

(21)Application number: **1020020085533**

(71)Applicant: **HYNIX
SEMICONDUCTOR
INC.**

(22)Date of filing: **27.12.2002**

(72)Inventor: **KANG, HUI BOK**

(51)Int. Cl **G11C 11/22**

(54) **INTERLEAVER CONTROL DEVICE USING NONVOLATILE FERROELECTRIC MEMORY**

(57) Abstract:

PURPOSE: An interleaver control device using a nonvolatile ferroelectric memory is provided to reduce a system access latency time by a row access time and a restore time by performing an interleaver program using the nonvolatile ferroelectric memory chip.

CONSTITUTION: A single chip FRAM array comprises a plurality of single banks. A memory interleaver control part(40) programs a code for memory interleaver control, and changes an address path of the single chip FRAM array according to a programmed code. A bus exchanges mutual data between the single chip FRAM array and the memory interleaver control part.

© KIPO 2004

(19)대한민국특허청(KR) (12) 공개특허공보(A)

(51) . Int. Cl.⁷
G11C 11/22

(11) 공개번호 10-2004-0059009
(43) 공개일자 2004년07월05일

(21) 출원번호 10-2002-0085533
(22) 출원일자 2002년12월27일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 강희복
대전광역시서구도마2동경남아파트109-203

(74) 대리인 이후동
이정훈

심사청구 : 있음

(54) 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치

요약

본 발명은 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치에 관한 것으로, 특히, 불휘발성 강유전체 레지스터를 사용한 메모리 인터리브 구조를 구현하여 독립적으로 뱅크의 인터리브를 제어할 수 있도록 하는 기술을 개시한다. 이러한 본 발명은 단일 불휘발성 강유전체 메모리 칩, 멀티 뱅크 불휘발성 강유전체 메모리 칩 또는 멀티 뱅크 인터리브 불휘발성 강유전체 메모리 칩에서 불휘발성 강유전체 레지스터를 이용하여 각 뱅크의 인터리브를 독립적으로 제어할 수 있게 된다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 일반적인 강유전체의 히스테리시스 특성도.

도 2는 종래의 불휘발성 강유전체 메모리의 셀 소자 구성도.

도 3a는 종래의 불휘발성 강유전체 메모리의 쓰기 모드 동작 타이밍도.

도 3b는 종래의 불휘발성 강유전체 메모리의 읽기 모드 동작 타이밍도.

도 4는 종래의 단위 메모리 뱅크 블록도.

도 5는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치의 개념을 설명하기 위한 도면.

도 6은 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치의 액세스 시간을 설명하기 위한 도면.

- 도 7 및 도 8은 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치의 구성도.
- 도 9 내지 도 13은 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치의 다른 실시예.
- 도 14는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치의 또 다른 실시예.
- 도 15는 본 발명의 불휘발성 인터리브 프로그램 레지스터에 관한 상세 구성도.
- 도 16은 도 15의 프로그램 명령 처리부의 상세 구성도.
- 도 17은 도 16의 플립플롭에 관한 상세 회로도.
- 도 18은 도 15의 불휘발성 인터리브 프로그램 레지스터에 관한 동작 타이밍도.
- 도 19는 도 15의 프로그램 레지스터 제어부에 관한 상세 회로도.
- 도 20은 도 15의 프로그램 레지스터 어레이에 관한 상세 회로도.
- 도 21은 본 발명의 파워 업 모드시 동작 타이밍도.
- 도 22는 본 발명의 프로그램시 동작 타이밍도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치에 관한 것으로, 특히, 단일 FRAM 칩, 멀티뱅크 FRAM 칩 또는 멀티뱅크 인터리브 FRAM 칩에서 각뱅크의 인터리브를 독립적으로 제어하여 로오 액세스 레이턴시 시간을 줄일 수 있도록 하는 기술이다.

일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM:Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.

이러한 FRAM은 디램과 거의 유사한 구조를 갖는 기억소자로서 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.

도 1은 일반적인 강유전체의 특성인 히스테리시스 루프(Hysteresis loop)를 나타낸다.

히스테리시스 루프는 전계에 의해 유기된 분극이 전계를 제거하더라도 잔류 분극(또는 자발 분극)의 존재로 인하여 소멸되지 않고 일정량(d,a상태)을 유지하고 있는 것을 알 수 있다. 불휘발성 강유전체 메모리 셀은 상기 d,a상태를 각각 1,0으로 대응시켜 기억소자로 응용한 것이다.

도 2는 종래의 불휘발성 강유전체 메모리의 단위 셀 소자 구성을 나타낸다.

불휘발성 강유전체 메모리의 단위 셀은, 일방향으로 비트라인 BL이 형성되고, 비트라인 BL과 교차하는 방향으로 워드라인 WL이 형성되고, 워드라인 WL에 일정한 간격을 두고 워드라인 WL과 동일한 방향으로 플레이트 라인 PL이 형성된다.

그리고, 트랜지스터 T1는 게이트가 워드라인 WL에 연결되고, 소스는 비트라인 BL에 연결되며, 드레인은 강유전체 캐패시터 FC0의 일단과 연결된다. 또한, 강유전체 캐패시터 FC0의 다른 일단은 플레이트 라인 PL에 연결된다.

이러한 구성을 갖는 종래의 불휘발성 강유전체 메모리의 데이터 입/출력 동작을 도 3a 및 도 3b를 참조하여 설명하면 다음과 같다.

도 3a는 종래의 불휘발성 강유전체 메모리의 쓰기 모드(Write mode)시 동작타이밍도이다.

먼저, 쓰기 모드시 액티브 구간에 진입하면 외부에서 인가되는 칩 인에이블 신호 CEB가 하이에서 로우로 활성화되고, 이와 동시에 쓰기 인에이블 신호가 하이에서 로우로 천이하면 쓰기 모드가 시작된다. 이어서, 쓰기 모드에서 어드레스 디코딩이 시작되면 해당 워드라인 WL에 인가되는 펄스가 로우에서 하이로 천이되어 셀이 선택된다.

이와 같이, 워드라인 WL이 하이 상태를 유지하고 있는 구간에서 해당 플레이트 라인 PL에는 차례로 일정 구간의 하이 신호와 일정 구간의 로우 신호가 인가된다. 그리고, 선택된 셀에 로직값 1 또는 0을 쓰기 위해 해당 비트라인 BL에 쓰기 인에이블 신호에 동기되는 하이 또는 로우 신호를 인가한다. 이때, 센스앰프 인에이블 신호 SEN은 하이 상태를 유지한다.

즉, 비트라인 BL에 하이 신호가 인가되고 플레이트 라인 PL에 인가되는 신호가 로우이면 강유전체 캐패시터 FC1에는 입력 데이터 DIN의 값이 로직 '1'로 기록된다. 그리고, 비트라인 BL에 로우 신호가 인가되고 플레이트 라인 PL에 인가되는 신호가 하이 신호이면 강유전체 캐패시터 FC1에는 입력 데이터 DIN의 값이 로직 '0'로 기록된다.

또한, 도 3b는 읽기 모드(Read mode)시 동작 타이밍도를 나타낸다.

읽기 모드시 액티브 구간에 진입하게 되면 외부에서 칩 인에이블 신호 CEB를 하이에서 로우로 활성화시키고, 해당 워드라인 WL이 선택되기 이전에 모든 비트라인 BL은 이퀄라이즈(Equalize) 신호에 의해 로우 전압으로 등전위 된다.

그리고, 각 비트라인 BL을 비활성화 시킨 다음 어드레스를 디코딩하면 디코딩된 어드레스에 의해 해당 워드라인 WL은 로우 신호가 하이 신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인 PL에 하이 신호를 인가하여 강유전체 메모리에 저장된 로직값 1에 상응하는 데이터 Qs를 파괴시킨다.

만약, 강유전체 메모리에 로직값 0이 저장되어 있다면 그에 상응하는 데이터 Qns는 파괴되지 않는다. 이와 같이, 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 된다.

즉, 데이터가 파괴된 경우는 도 1의 히스테리시스 루프에서처럼 d에서 f로 변경되는 경우이고, 데이터가 파괴되지 않는 경우는 a에서 f로 변경되는 경우이다. 따라서, 일정시간이 경과한 후에 센스앰프 인에이블 신호 SEN에 의해 센스앰프가 인에이블 되면 데이터가 파괴된 경우는 증폭되어 출력 데이터 DOUT의 값으로 로직 '1'을 출력하고, 데이터가 파괴되지 않은 경우는 증폭되어 출력 데이터 DOUT의 값으로 로직 '0'을 출력한다.

이와 같이, 센스앰프에서 데이터를 증폭한 후에는 원래의 데이터로 복원하여야 하므로 해당 워드라인 WL에 하이 신호를 인가한 상태에서 플레이트 라인 PL을 하이에서 로우로 비활성화시킨다.

한편, 도 4는 일반적인 단위 메모리 बैं크의 블록도를 나타낸다.

단위 메모리 बैं크는 로오 선택부(1)와, 컬럼 선택부(2)와, 셀 어레이 블럭(3)과, 센스앰프 페이지 버퍼(4) 및 데이터 입/출력 버퍼(5)를 구비한다.

로오 선택부(1)는 입력되는 로오 어드레스 중 해당 로오 어드레스를 선택하여 셀 어레이 블럭(3)에 출력한다. 셀 어레이 블럭(3)은 로오 선택부(1)로부터 인가되는 해당 로오 어드레스에 의해 하나의 로오가 활성화된다. 선택된 로오 어드레스는 센스앰프 페이지 버퍼(4)에 출력되어 증폭 및 저장된다.

컬럼 선택부(2)는 입력되는 컬럼 어드레스 중 해당 컬럼 어드레스를 선택하여 센스앰프 페이지 버퍼(4)에 출력한다. 그리고, 해당 컬럼 어드레스의 활성화시 센스앰프 페이지 버퍼(4)에 저장된 데이터 중에서 바이트 폭 또는 워드 폭 등의 데이터들이 데이터 입/출력 버퍼(5)를 통해 출력된다.

이러한 종래의 단위 메모리 बैं크에서 컬럼 어드레스는 페이지(Page) 어드레스로써 데이터 액세스시 별도의 센싱 과정이 불필요하기 때문에, 센스앰프 페이지 버퍼(4)에 저장된 데이터는 바로 출력된다.

그런데, 로오 어드레스는 데이터 액세스시 셀에 저장된 데이터를 센싱하고 증폭하는 과정과 센스앰프에서 데이터를 일정시간 유지하는 과정을 더 수행하게 된다. 또한, 로오 어드레스와 로오 어드레스간의 액세스시에는 로오 액세스 시간에 재저장 시간(프리차지 시간)이 추가되어 더 많은 액세스 시간이 필요하다.

따라서, 로오 어드레스는 컬럼 어드레스에 비해 상대적으로 데이터 액세스 시간이 더 많이 소요되는 문제점이 있다.

그런데, 이러한 복수개의 단위 메모리 뱅크에서 데이터의 액세스시 어드레스의 종류와 무관하게 액세스 시간을 비효율적으로 제어하게 되어 메모리 칩의 신뢰성을 저하시키게 되는 문제점이 있다.

따라서, 상술된 불휘발성 강유전체 메모리를 이용한 인터리브 동작을 구현하여 불필요한 데이터 액세스 시간을 줄이고, 전원의 오프시에도 저장된 프로그램 데이터를 보존할 수 있도록 하는 장치의 필요성이 커지게 되었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 단일 칩, 멀티 뱅크 칩 또는 멀티 뱅크 인터리브 칩에서 불휘발성 강유전체 메모리 칩을 이용하여 인터리브 프로그램을 수행함으로써 로오 액세스 시간과 재저장 시간에 의한 시스템 액세스 레이턴시 시간을 줄이도록 하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치는, 복수개의 단일 뱅크를 구비하는 싱글 칩 FRAM 어레이와, 메모리 인터리브 제어를 위한 코드를 프로그램 하고, 프로그램된 코드에 따라 싱글 칩 FRAM 어레이의 어드레스 경로를 변경하는 메모리 인터리브 제어부와, 싱글 칩 FRAM 어레이와 메모리 인터리브 제어부 사이에서 상호 데이터를 교환하기 위한 버스를 구비함을 특징으로 한다.

본 발명의 다른 실시예는, 복수개의 멀티 뱅크를 구비하는 멀티 뱅크 FRAM 어레이와, 메모리 인터리브 제어를 위한 코드를 프로그램 하고, 프로그램된 코드에 따라 멀티 뱅크 FRAM 어레이의 어드레스 경로를 변경하는 메모리 인터리브 제어부와, 멀티 뱅크 FRAM 어레이와 메모리 인터리브 제어부 사이에서 상호 데이터를 교환하기 위한 버스를 구비함을 특징으로 한다.

본 발명의 또 다른 실시예는, 복수개의 멀티 뱅크 인터리브를 구비하고, 각각의 멀티 뱅크 인터리브는 불휘발성 강유전체 메모리를 포함하여 메모리 인터리브 제어를 위한 코드를 프로그램 하며, 프로그램된 코드에 따라 어드레스 경로를 변경하는 멀티 뱅크 인터리브 FRAM 어레이와, 메모리 제어신호에 따라 멀티 뱅크 인터리브 FRAM 어레이의 데이터/제어신호/어드레스를 선택적으로 제어하는 메모리 제어부와, 멀티 뱅크 인터리브 FRAM 어레이와 메모리 제어부 사이에서 상호 데이터를 교환하기 위한 버스를 구비함을 특징으로 한다.

본 발명의 또 다른 실시예는, 불휘발성 강유전체 메모리를 이용하여, 입력되는 데이터/제어/어드레스에 따라 인터리브 제어를 위한 코드를 프로그램 하는 불휘발성 인터리브 프로그램 레지스터와, 불휘발성 인터리브 프로그램 레지스터에 의해 프로그램된 코드에 따라 복수개의 뱅크를 구비하는 메모리 칩 어레이의 어드레스 경로를 변경하기 위한 제어신호를 출력하는 인터리브 제어부를 구비함을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

도 5는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치의 개념을 설명하기 위한 도면이다.

어드레스의 LSB(Least Significant Bit;최하위 비트) 영역에는 바이트 폭의 메모리 버스 비트들이 위치한다. 즉, 32비트, 16비트, 8비트 또는 4비트 등의 데이터 버스 비트들이 위치한다.

그 다음에는 컬럼 어드레스 비트들이 위치하고, 컬럼 어드레스 비트들에 의해 한 페이지 내의 바이트 폭 데이터들이 데이터 버스에 실리게 된다.

컬럼 어드레스의 상위 어드레스에는 로오 어드레스 비트들이 위치한다. 여기서, 로오 어드레스 비트 중에서 하위 어드레스 비트들이 메모리 인터리브 범위에 사용된다. 그 다음 MSB(Most Significant Bit;최상위 비트) 영역에는 뱅크 어드레스 비트들이 위치한다.

도 6은 본 발명의 메모리 칩에서 어드레스 종류에 따른 어드레스 액세스 시간을 나타낸다.

먼저, 컬럼 어드레스만을 액세스 할 경우에는 센스앰프 페이지 버퍼에 저장된 데이터가 바로 출력될 수 있기 때문에 가장 짧은 컬럼 액세스 시간이 소요된다.

반면에, 로오 어드레스를 액세스 할 경우에는 메모리 셀의 데이터를 센싱 및 증폭하는 동작이 수반되기 때문에 더 많은 시간(로오 액세스 레이턴시 시간)이 소요된다.

또한, 메모리 액세스의 동작 사이클을 끝마치려면 메모리 셀 센싱 과정에서 손실되었던 셀 데이터를 라이트하여 복구해야만 한다. 이러한 시간을 프리차지(Precharge) 시간이라고도 하며, 셀 데이터를 재저장 하는데 재저장 레이턴시 시간이 추가로 더 소요된다.

이상과 같이 하나의 어드레스 액세스 사이클을 구성함에 있어서, 상기와 같이 경우 수에 의해 전체 액세스 시간이 결정된다.

먼저, 처음 로오 어드레스를 액세스하기 위해서는 로오 액세스 시간이 필요 하다. 그리고, 로오 어드레스는 동일하고 컬럼 어드레스만 바뀌는 경우, 컬럼 액세스 시간이 추가적으로 필요하다.

또한, 하나의 로오 어드레스에 대응하는 모든 컬럼 어드레스가 액세스되어, 다음 로오 어드레스로 변경될 경우, 재저장 레이턴시 시간과 새로운 로오 액세스 시간이 필요하다. 따라서, 모든 어드레스에 대한 액세스를 수행하기 위하여 전체 액세스 사이클 시간이 필요하다.

따라서, 본 발명은 상술된 어드레스의 종류를 감안하여 각 बैं크의 인터리브 동작을 독립적으로 제어함으로써 로오 액세스 레이턴시와 재저장 레이턴시 시간을 줄일 수 있도록 한다.

도 7은 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치의 구성도이다.

본 발명은 CPU(Central Processing Unit;중앙 제어 장치;10)와, 시스템 제어부(20)와, PCI(Peripheral Component Interface;주변 소자 인터페이스)버스(30)와, 메모리 인터리브 제어부(Memory Interleave controller;40)와, 싱글 칩(Single chip) FRAM 어레이(50) 및 버스(60)를 구비한다. 여기서, 싱글 칩 FRAM 어레이(50)는 복수개의 단일 बैं크들(51,52)을 구비한다.

CPU(10)는 시스템 제어부(20)와 연결되어 시스템 동작에 필요한 동작들을 제어한다. 시스템 제어부(20)는 PCI 버스(30)를 통해 메모리 인터리브 제어부(40)와 데이터를 교환한다.

그리고, 메모리 인터리브 제어부(40)는 어드레스/데이터/제어 버스(60)를 통해 싱글 칩 FRAM 어레이(50) 내의 복수개의 बैं크(51,52)와 데이터를 교환한다.

도 8은 도 7의 메모리 인터리브 제어부(40)의 상세 구성을 나타낸다.

메모리 인터리브 제어부(40)는 불휘발성 인터리브 프로그램 레지스터(41)와 인터리브 제어부(42)를 구비한다. 그리고, 메모리 인터리브 제어부(40)와, 시스템 제어부(20)는 데이터 버스(31), 제어 버스(32) 및 어드레스 버스(33)를 통해 데이터 교환이 이루어진다.

여기서, 불휘발성 인터리브 프로그램 레지스터(41)는 불휘발성 강유전체 메모리를 이용하여 인터리브 제어를 위한 코드를 프로그램한다. 인터리브 제어부(42)는 불휘발성 인터리브 프로그램 레지스터(41)에 의해 프로그램된 코드에 따라 싱글 칩 FRAM 어레이(50)의 어드레스 경로를 변경한다.

도 9는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치의 다른 실시예이다.

도 9의 실시예는 도 7의 구성에 비해 멀티 बैं크 FRAM 어레이(70)를 구비한다는 점이 상이하다.

멀티 बैं크 FRAM 어레이(70)는 FRAM으로 이루어진 멀티 बैं크들(71,72)을 복수개 구비한다. 여기서, 각각의 멀티 बैं크들(71,72)은 독립적으로 동작을 수행하는 독립된 메모리 영역이다. 멀티 बैं크 FRAM 어레이(70)는 어드레스/데이터/제어 버스(60)를 공유하여 사용한다.

도 10은 도 9의 메모리 인터리브 제어부(40)의 상세 구성을 나타낸다.

메모리 인터리브 제어부(40)는 불휘발성 인터리브 프로그램 레지스터(41)와 인터리브 제어부(42)를 구비한다. 그리고, 메모리 인터리브 제어부(40)는 데이터 버스(31), 제어 버스(32) 및 어드레스 버스(33)를 통해 시스템 제어부(20)와 데이터를 교환한다.

여기서, 불휘발성 인터리브 프로그램 레지스터(41)는 불휘발성 강유전체 메모리를 이용하여 인터리브 제어를 위한 코드를 프로그램한다. 인터리브 제어부(42)는 불휘발성 인터리브 프로그램 레지스터(41)에 의해 프로그램된 코드에 따라 멀티뱅크 FRAM 어레이(70)의 어드레스 경로를 변경한다.

도 11은 도 10에서 멀티뱅크(71)의 상세 구성을 나타낸다.

멀티뱅크(71)는 복수개의 FeRAM 뱅크들을 구비한다. 복수개의 FeRAM 뱅크들은 어드레스/데이터 제어 버스(73)를 공유한다.

도 12는 도 10에 나타난 멀티뱅크(71)의 다른 실시예이다.

멀티뱅크(71)는 복수개의 FeRAM 뱅크들을 구비한다. 복수개의 FeRAM 뱅크들은 어드레스/데이터 제어 버스(73)를 공유한다. 그리고, 메모리 인터리브 제어부(80)를 더 구비하여 복수개의 ReRAM 뱅크들의 인터리브 동작을 독립적으로 제어한다.

도 13은 도 12의 메모리 인터리브 제어부(80)의 상세 구성을 나타낸다.

메모리 인터리브 제어부(80)는 인터리브 제어부(81)와 불휘발성 인터리브 프로그램 레지스터(82)를 구비한다.

여기서, 불휘발성 인터리브 프로그램 레지스터(82)는 불휘발성 강유전체 메모리를 이용하여 인터리브 제어를 위한 코드를 프로그램한다. 인터리브 제어부(81)는 불휘발성 인터리브 프로그램 레지스터(82)에 의해 프로그램된 코드에 따라 복수개의 FeRAM 뱅크들의 어드레스 경로를 변경한다.

도 14 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치의 또 다른 실시예이다.

도 14의 실시예는, CPU(100)와, 시스템 제어부(110)와, PCI버스(120)와, 메모리 제어부(130)와, 멀티뱅크 인터리브 FRAM 어레이(140) 및 버스(150)를 구비한다. 여기서, 멀티뱅크 인터리브 FRAM 어레이(140)는 복수개의 멀티뱅크 인터리브(141,142)를 구비한다.

CPU(100)는 시스템 제어부(110)와 연결되어 시스템 동작에 필요한 동작들을 제어한다. 시스템 제어부(110)는 PCI버스(120)를 통해 메모리 제어부(130)와 데이터를 교환한다.

그리고, 메모리 제어부(130)는 어드레스/데이터/제어 버스(150)를 통해 멀티뱅크 인터리브 FRAM 어레이(140) 내의 복수개의 멀티뱅크 인터리브(141,142)들과 데이터를 교환한다.

여기서, 메모리 제어부(130)는 메모리 인터리브 구조가 별도로 구비되지 않는다. 그리고, 멀티뱅크 인터리브 FRAM 어레이(14) 내의 각각의 멀티뱅크 인터리브(141,142)에서 별도의 인터리브 동작을 독립적으로 제어한다.

한편, 도 15는 본 발명의 실시예들에서 불휘발성 인터리브 프로그램 레지스터에 관한 상세 구성도이다.

불휘발성 인터리브 프로그램 레지스터는 프로그램 명령 처리부(160)와, 프로그램 레지스터 제어부(170)와, 리셋 회로부(180) 및 프로그램 레지스터 어레이(190)를 구비한다.

여기서, 프로그램 명령 처리부(160)는 라이트 인에이블 신호 WEB와, 칩 인에이블 신호 CEB와, 출력 인에이블 신호 OEB 및 리셋신호 RESET에 따라 프로그램 명령을 코딩하여 명령신호 CMD를 출력한다.

프로그램 레지스터 제어부(170)는 명령신호 CMD, 파워업 검출신호 PUP 및 입력 데이터 DQ_n를 논리조합하여 라이트 제어신호 ENW 및 셀 플레이트 신호 CPL를 출력한다.

프로그램 레지스터 어레이(190)는 풀업 인에이블 신호 ENP, 풀다운 인에이블 신호 ENN, 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL에 따라 제어신호 RE_m, REB_m를 출력한다.

리셋 회로부(180)는 파워업시 리셋 신호 RESET를 프로그램 레지스터 제어부(170)에 출력한다.

이러한 구성을 갖는 본 발명은, 프로그램 명령 처리부(160)에서 명령신호 CMD 발생하면, 프로그램 레지스터 제어부(170)는 프로그램 레지스터 어레이(190)의 프로그램의 컨피규어(Configure) 데이터를 바꾸거나 설정하게 된다.

한편, 리셋 회로부(180)는 파워 업시에 리셋 신호 RESET를 발생하여 프로그램 레지스터 제어부(170)를 활성화시킨다. 이때, 프로그램 레지스터 제어부(170)에서 출력된 제어신호들은 프로그램 레지스터 어레이(190)의 불휘발성 데이터를 초기화 설정하기 위한 레지스터 동작 신호들이다.

도 16은 도 15의 프로그램 명령 처리부(160)에 관한 상세 회로도이다.

프로그램 명령 처리부(160)는 논리부(161)와, 플립플롭부(162) 및 오버 토글(Over toggle) 감지부(163)를 구비한다.

여기서, 논리부(161)는 노아게이트 NOR1과, 앤드게이트 AD1, AD2 및 인버터 IV1을 구비한다. 노아게이트 NOR1는 라이트 인에이블 신호 WEB와 칩 인에이블 신호 CEB를 노아 연산한다. 앤드게이트 AD1는 노아게이트 NOR1의 출력 신호와 출력 인에이블 신호 OEB를 앤드연산한다. 앤드게이트 AD2는 노아게이트 NOR1의 출력 신호, 인버터 IV1에 의해 반전된 리셋 신호 RESET 및 오버 토글 감지부(163)의 출력 신호를 앤드연산한다.

그리고, 플립플롭부(162)는 복수개의 플립플롭 FF를 구비한다. 복수개의 플립플롭 FF는 노아게이트 NOR1의 출력 신호가 입력되는 데이터 입력 노드 d와 출력 노드 q가 서로 직렬로 연결되어 출력단을 통해 명령 신호 CMD를 출력한다. 플립플롭 FF는 앤드게이트 AD1로부터의 활성화 동기 신호가 입력되는 노드 cp와, 앤드게이트 AD2로부터의 리셋 신호가 입력되는 리셋 노드 R를 구비한다.

여기서, 플립플롭 FF의 노드 cp에는 칩 인에이블 신호 CEB 및 라이트 인에이블 신호 WEB가 로우인 상태에서 출력 인에이블 신호 OEB가 입력된다. 그리고, 플립플롭 FF의 리셋 노드 R는 칩 인에이블 신호 CEB 및 라이트 인에이블 신호 WEB 중 어느 하나가 하이가 되면 로우 신호가 입력되어 리셋된다. 또한, 파워 업시에 리셋 신호 RESET가 하이인 구간에서 플립플롭 FF이 리셋된다.

또한, 오버 토글 감지부(163)는 명령 신호 CMD와 출력 인에이블 신호 OEB를 앤드연산하는 앤드게이트 AD3을 구비한다. 오버 토글 감지부(163)는 출력 인에이블 신호 OEB가 n번의 토글 횟수를 초과하여 오버 토글이 발생할 경우 플립플롭부(162)를 리셋시킨다.

따라서, 각각의 프로그램 명령 처리부(160)의 토글 횟수는 서로 다른 값이 되도록 설정한다.

도 17은 도 16의 플립플롭 FF에 관한 상세 회로도이다.

플립플롭 FF는 전송게이트 T1~T4와, 노아게이트 NOR1, NOR2와, 인버터 IV2~IV7을 구비한다. 여기서, 인버터 IV2는 노드 cp의 출력을 반전하여 제어 신호 A를 출력하고, 인버터 IV3은 인버터 IV2의 출력 신호를 반전하여 제어 신호 B를 출력한다.

전송게이트 T1은 제어 신호 A, B의 상태에 따라 인버터 IV4에 의해 반전된 입력 노드 d의 출력 신호를 선택적으로 출력한다. 노아게이트 NOR1은 인버터 IV5의 출력 신호와 리셋 노드 R의 출력 신호를 노아연산하여 전송게이트 T2에 출력한다.

전송게이트 T2는 제어 신호 A, B의 상태에 따라 노아게이트 NOR1의 출력 신호를 선택적으로 출력한다.

전송게이트 T3은 제어 신호 A, B의 상태에 따라 인버터 IV5의 출력 신호를 선택적으로 출력한다. 노아게이트 NOR2는 전송게이트 T3의 출력 신호와 리셋 노드 R의 출력 신호를 노아연산한다. 인버터 IV6은 노아게이트 NOR2의 출력 신호를 반전하여 전송게이트 T4에 출력한다.

전송게이트 T4는 제어 신호 A, B의 상태에 따라 인버터 IV6의 출력 신호를 선택적으로 출력한다. 인버터 IV7은 노아게이트 NOR2의 출력 신호를 반전하여 출력 노드 q에 출력한다.

따라서, 입력 노드 d로부터 입력되는 데이터는 노드 cp를 통해 입력되는 제어 신호가 한번 토글될 때마다 오른쪽으로 이동하게 된다. 이때, 리셋 노드 R에 로우 신호가 입력될 경우 출력 노드 q에는 로우 신호가 출력되어 플립플롭 FF이 리셋 상태가 된다.

도 18은 프로그램 명령 처리부(16)의 동작 과정을 설명하기 위한 도면이다.

먼저, 명령 처리 구간에서는 칩 인에이블 신호 CEB, 라이트 인에이블 신호 WEB가 로우 상태를 유지한다. 그리고, 출력 인에이블 신호 OEB가 n번 토글할 동안에는 명령 신호 CMD가 디스에이블 상태를 유지한다.

이후에, 프로그래머블 활성화 구간에 진입하여 출력 인에이블 신호 OEB가 n번 토글하게 되면 명령신호 CMD가 하일로 인에이블 된다.

여기서, 출력 인에이블 신호 OEB의 토글 갯수를 조정할 경우에는 직렬 연결된 플립플롭 FF의 갯수를 조정하게 된다.

도 19는 도 15의 프로그램 레지스터 제어부(17)의 상세 회로도이다.

프로그램 레지스터 제어부(17)는 n번째 명령신호 n_CMD와 입력 데이터 DQ_n를 앤드연산하는 앤드게이트 AD4를 구비한다. 인버터 IV8~IV10는 앤드게이트 AD4의 출력신호를 반전 지연한다.

노아게이트 NOR2는 앤드게이트 AD4의 출력신호와 인버터 IV10의 출력신호를 노아연산한다. 인버터 IV11, IV12는 노아게이트 NOR2의 출력신호를 지연하여 라이트 제어 신호 ENW를 출력한다.

노아게이트 NOR3는 노아게이트 NOR2의 출력신호와 파워 업 검출신호 PUP를 노아연산하여 출력한다. 인버터 IV13~IV15는 노아게이트 NOR3의 출력신호를 비반전 지연하여 셀 플레이트 신호 CPL를 출력한다.

여기서, 파워 업 검출신호 PUP는 초기의 리셋시 레지스터에 저장된 데이터를 리드한 이후에 다시 레지스터를 셋트하기 위한 제어신호이다.

n번째 명령신호 n_CMD가 하일로 활성화 된 이후 입력패드를 이용하여 입력 데이터 DQ_n를 토글시키면, 지연부(171)의 지연 시간 만큼의 펄스폭을 갖는 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL가 발생한다.

도 20은 도 15의 프로그램 레지스터 어레이(190)에 관한 상세 회로도이다.

프로그램 레지스터 어레이(190)는 풀업 구동소자 P1와, 구동부(191)와, 라이트 인에이블 제어부(192)와, 강유전체 캐패시터부(193)와, 구동부(194) 및 풀다운 구동소자 N5를 구비한다.

여기서, 풀업 구동소자 P1은 전원전압 VCC 인가단과 구동부(191) 사이에 연결되어 게이트 단자를 통해 풀업 인에이블 신호 ENP가 인가되는 PMOS트랜지스터 P1를 구비한다.

구동부(191)는 래치 구조의 PMOS트랜지스터 P2, P3을 구비한다. PMOS트랜지스터 P2의 게이트는 PMOS트랜지스터 P3의 드레인 단자와 연결되고, PMOS트랜지스터 P3의 게이트는 PMOS트랜지스터 P2의 드레인 단자와 연결된다.

라이트 인에이블 제어부(192)는 NMOS트랜지스터 N1, N2를 구비한다. NMOS트랜지스터 N1은 리셋신호 RESET 입력단과 PMOS트랜지스터 P2의 드레인 단자 사이에 연결되어 게이트 단자를 통해 라이트 제어 신호 ENW가 인가된다. NMOS트랜지스터 N2는 세트 신호 SET와 PMOS트랜지스터 P3의 드레인 단자 사이에 연결되어 게이트 단자를 통해 라이트 제어 신호 ENW가 인가된다.

강유전체 캐패시터부(193)는 강유전체 캐패시터 FC1~FC4를 구비한다. 강유전체 캐패시터 FC1는 일단이 노드 CN1과 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 인가된다. 강유전체 캐패시터 FC2는 일단이 노드 CN2와 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 인가된다.

그리고, 강유전체 캐패시터 FC3은 노드 CN1과 접지전압단 사이에 연결되고, 강유전체 캐패시터 FC4는 노드 CN2와 접지전압단 사이에 연결된다. 여기서, 강유전체 캐패시터 FC3, FC4는 셀 양단의 로딩 레벨 제어에 따라 선택적으로 추가되어 사용될 수도 있다.

또한, 구동부(194)는 래치 구조의 NMOS트랜지스터 N3, N4를 구비한다. NMOS트랜지스터 N3은 노드 CN1과 NMOS트랜지스터 N5의 드레인 단자 사이에 연결되어 게이트 단자가 NMOS트랜지스터 N4의 드레인 단자와 연결된다. 그리고, NMOS트랜지스터 N4는 노드 CN2와 NMOS트랜지스터 N5의 드레인 단자 사이에 연결되어 게이트 단자가 NMOS트랜지스터 N3의 드레인 단자와 연결된다.

풀다운 구동소자 N5는 MOS트랜지스터 N3 및 NMOS트랜지스터 N4의 공통 소스 단자와 접지전압 VSS 인가단 사이에 연결되어 게이트를 통해 풀다운 인에이블 신호 ENN가 인가된다.

또한, 프로그램 레지스터 어레이(190)는 출력단을 통해 제어신호 RE_m, RE_m를 출력한다.

한편, 도 21은 본 발명의 전원 투입시에 프로그램 셀에 저장된 데이터를 센싱하여 리드하는 동작 타이밍도이다.

먼저, 파워 업 이후 T1구간에서 전원이 안정된 전원전압 VCC 레벨에 도달하면 리셋신호 RESET가 디스에이블되고, 파워 업 검출신호 PUP가 인에이블된다.

이후에, 파워 업 검출신호 PUP의 인에이블에 따라 셀 플레이트 신호 CPL가 하이로 천이한다. 이때, 프로그램 레지스터 어레이(190)의 강유전체 캐패시터 FC1, FC2에 저장된 전하가 강유전체 캐패시터 FC3, FC4의 캐패시턴스 로드(191)에 의해 셀 양단 노드 즉, CN1과 CN2에 전압차를 발생시킨다.

셀 양단 노드에 충분히 전압차가 발생하는 T2구간에 진입하면 풀다운 인에이블 신호 ENN가 하이로 인에이블되고, 풀업 인에이블 신호 ENP로 로우로 디스에이블되어 셀 양단의 데이터를 증폭하게 된다.

이후에, T3구간에 진입하여 셀 양단의 데이터 증폭이 완료되면, 파워 업 검출신호 PUP 및 셀 플레이트 신호 CPL를 다시 로우로 천이시킨다. 따라서, 파괴되었던 강유전체 캐패시터 FC1 또는 강유전체 캐패시터 FC2의 하이 데이터를 다시 복구하게 된다. 이때, 라이트 제어 신호 ENW는 로우 상태를 유지하여 외부 데이터가 다시 라이트되는 것을 방지한다.

도 22는 본 발명의 프로그램 동작시 n번째 명령신호 n_CMD가 하이로 활성화된 이후에 프로그램 레지스터에 새로운 데이터를 셋트하기 위한 동작 타이밍도를 나타낸다.

먼저, n번째 명령신호 n_CMD가 하이로 인에이블된 후 일정시간이 지나면, 셋트 신호 SET, 리셋신호 RESET가 입력된다. 그리고, 데이터 입/출력 패드로부터 인가되는 입력 데이터 DQ_n가 하이에서 로우로 디스에이블되면 프로그램 사이클이 시작되어 레지스터에 새로운 데이터를 라이트 하기 위한 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL가 하이로 천이한다.

이때, 풀다운 인에이블 신호 ENN는 하이 상태를 유지하고, 풀업 인에이블 신호 ENP는 로우 상태를 유지한다.

따라서, 프로그램 레지스터 제어부(170)에 n번째 명령 신호 n_CMD가 하이로 입력될 경우 프로그램 명령 처리부(160)로부터의 신호유입이 차단되어, 더이상 제어 명령이 입력되지 않는 상태에서 프로그램 동작을 수행할 수 있게 된다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명은 다음과 같은 효과를 제공한다.

첫째, 단일 FeRAM 칩을 이용한 메모리 인터리브 구조로써 비동기 FeRAM 또는 동기 FeRAM에 적용하여 어드레스 종류에 따라 메모리 인터리브 동작을 독립적으로 제어할 수 있게 된다.

둘째, 멀티뱅크 FeRAM 칩을 이용한 메모리 인터리브 구조로써 비동기 FeRAM 또는 동기 FeRAM에 적용하여 어드레스 종류에 따라 메모리 인터리브 동작을 독립적으로 제어할 수 있게 된다.

셋째, 멀티뱅크 인터리브 FeRAM 칩을 이용한 메모리 인터리브 구조로써 멀티뱅크 FeRAM 칩의 내부에 인터리브 제어부를 내장하여 어드레스 종류에 따라 메모리 인터리브 동작을 독립적으로 제어할 수 있게 된다.

넷째, 불휘발성 인터리브 프로그램 레지스터에 불휘발성 강유전체 레지스터를 사용함으로써 전원의 오프시에도 프로그램 데이터가 손실되지 않도록 한다.

(57) 청구의 범위

청구항 1.

복수개의 단일 뱅크를 구비하는 싱글 칩 FRAM 어레이;

메모리 인터리브 제어를 위한 코드를 프로그램하고, 프로그램된 코드에 따라 상기 싱글 칩 FRAM 어레이의 어드레스 경로를 변경하는 메모리 인터리브 제어부; 및

상기 싱글 칩 FRAM 어레이와 상기 메모리 인터리브 제어부 사이에서 상호 데이터를 교환하기 위한 버스를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 2.

제 1항에 있어서, 상기 메모리 인터리브 제어부는

불휘발성 강유전체 메모리를 이용하여 상기 인터리브 제어를 위한 코드를 프로그램 하는 불휘발성 인터리브 프로그램 레지스터; 및

상기 불휘발성 인터리브 프로그램 레지스터에 의해 프로그램된 코드에 따라 상기 싱글 칩 FRAM 어레이의 어드레스 경로를 변경하기 위한 제어신호를 출력하는 인터리브 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 3.

제 2항에 있어서, 상기 불휘발성 인터리브 프로그램 레지스터는

라이트 인에이블 신호와, 칩 인에이블 신호와, 출력 인에이블 신호 및 리셋 신호에 따라 프로그램 명령을 코딩하기 위한 명령신호를 출력하는 프로그램 명령 처리부;

상기 명령신호, 입력 데이터 및 파워 업 검출신호를 논리연산하여 라이트 제어 신호 및 셀 플레이트 신호를 출력하는 프로그램 레지스터 제어부; 및

강유전체 메모리 소자를 구비하고, 상기 라이트 제어 신호, 상기 셀 플레이트 신호, 플업 인에이블 신호 및 풀다운 인에이블 신호에 따라 프로그램된 코드 신호를 출력하는 프로그램 레지스터 어레이를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 4.

제 3항에 있어서,

상기 불휘발성 인터리브 프로그램 레지스터는 파워 업시 상기 리셋신호를 상기 프로그램 배열 레지스터 제어부에 출력하는 리셋 회로부를 더 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 5.

제 3항에 있어서, 상기 프로그램 명령 처리부는

상기 라이트 인에이블 신호, 상기 칩 인에이블 신호, 상기 출력 인에이블 신호 및 상기 리셋신호를 논리연산하는 논리부;

상기 논리부의 출력신호에 대응하여 상기 출력 인에이블 신호의 토글을 순차적으로 플립플롭시켜 상기 명령신호를 출력하는 플립플롭부; 및

상기 출력 인에이블 신호의 오버 토글을 감지하는 오버 토글 감지부를 구비 함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 6.

제 5항에 있어서,

상기 논리부는 상기 칩 인에이블 신호 및 상기 라이트 인에이블 신호가 로우인 상태에서 상기 출력 인에이블 신호가 출력되고, 상기 칩 인에이블 신호 및 상기 라이트 인에이블 신호 중 적어도 어느 하나가 하이로 천이하면 상기 리셋신호가 인에이블 됨을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 7.

제 5항 또는 제 6항에 있어서, 상기 논리부는

상기 라이트 인에이블 신호와 상기 칩 인에이블 신호를 노아 연산하는 제 1노아게이트;

상기 제 1노아게이트의 출력신호와 상기 출력 인에이블 신호를 앤드연산하는 제 1앤드게이트;

상기 제 1노아게이트의 출력신호, 반전된 상기 리셋신호 및 상기 오버 토글 감지부의 출력신호를 앤드연산하는 제 2 앤드게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 8.

제 5항에 있어서, 상기 플립플롭부는 복수개의 플립플롭을 구비하고,

상기 복수개의 플립플롭은 데이터 입력 노드와 출력 노드가 서로 직렬 연결 되어 출력단을 통해 상기 명령 신호가 출력되고, 상기 논리부로부터 인가되는 활성화 동기 신호에 따라 상기 출력 인에이블 신호의 토글을 플립플롭시킴을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 9.

제 8항에 있어서, 상기 복수개의 플립플롭은

상기 활성화 동기 신호의 상태에 따라 입력 신호를 선택적으로 출력하는 제 1전송게이트;

상기 제 1전송게이트의 출력신호 및 상기 리셋신호를 낸드연산하는 제 1낸드게이트;

상기 활성화 동기 신호의 상태에 따라 제 1낸드게이트의 출력신호를 선택적으로 출력하는 제 2전송게이트;

상기 활성화 동기 신호의 상태에 따라 반전된 상기 제 1전송게이트의 출력신호를 선택적으로 출력하는 제 3전송게이트;

상기 제 3전송게이트의 출력신호와 상기 리셋신호를 낸드연산하는 제 2낸드게이트;

상기 활성화 동기 신호의 상태에 따라 상기 제 2낸드게이트의 출력신호를 선택적으로 출력하는 제 4전송게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 10.

제 5항에 있어서, 상기 오버 토글 감지부는

상기 명령신호 및 상기 출력 인에이블 신호를 앤드연산하는 제 3앤드게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 11.

제 3항에 있어서, 상기 프로그램 레지스터 제어부는

상기 명령신호 및 상기 입력 데이터를 앤드연산하는 제 4앤드게이트;

상기 제 4앤드게이트의 출력을 비반전 지연하는 제 1지연부;

상기 제 4앤드게이트의 출력신호와 상기 제 1지연부의 출력신호를 노아연산하는 제 2노아게이트;

상기 제 2노아게이트의 출력을 지연하여 상기 라이트 제어 신호를 출력하는 제 2지연부;

상기 제 2노아게이트의 출력신호와 상기 파워 업 검출신호를 노아연산하는 제 3노아게이트; 및

상기 제 3노아게이트의 출력신호를 반전 지연하여 상기 셀 플레이트 신호를 출력하는 제 3지연부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 12.

제 3항에 있어서, 상기 프로그램 레지스터 어레이는

상기 풀업 인에이블 신호의 인에이블시 전원전압을 풀업시키는 풀업 구동소자;

프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀업 구동소자로부터 인가되는 전압을 구동하는 제 1구동부;

상기 라이트 제어 신호에 따라 상기 리셋신호 및 셋트 신호를 상기 프로그램 레지스터의 양단에 출력하는 라이트 인에이블 제어부;

상기 셀 플레이트 신호에 따라 상기 프로그램 레지스터의 양단에 전압 차를 발생시키는 강유전체 캐패시터부;

상기 풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 구동소자; 및

상기 프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀다운 구동소자로부터 인가되는 전압을 구동하는 제 2구동부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 13.

복수개의 멀티 뱅크를 구비하는 멀티 뱅크 FRAM 어레이;

메모리 인터리브 제어를 위한 코드를 프로그램하고, 프로그램된 코드에 따라 상기 멀티 뱅크 FRAM 어레이의 어드레스 경로를 변경하는 메모리 인터리브 제어부; 및

상기 멀티 뱅크 FRAM 어레이와 상기 메모리 인터리브 제어부 사이에서 상호 데이터를 교환하기 위한 버스를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 14.

제 13항에 있어서, 상기 복수개의 멀티 뱅크는

각각 독립적으로 제어되는 복수개의 FRAM 뱅크; 및

상기 복수개의 FRAM 뱅크끼리 상호 어드레스/데이터/제어신호를 교환하기 위한 제 1버스를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 15.

제 13항에 있어서, 상기 복수개의 멀티 뱅크는

상기 제 1버스를 통해 상기 복수개의 FRAM뱅크의 인터리브 동작을 제어하는 위한 제 1메모리 인터리브 제어부를 더 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 16.

제 13항 또는 제 15항에 있어서,

상기 메모리 인터리브 제어부 및 상기 제 1메모리 인터리브 제어부 각각은

불휘발성 강유전체 메모리를 이용하여 상기 인터리브 제어를 위한 코드를 프로그램하는 불휘발성 인터리브 프로그램 레지스터; 및

상기 불휘발성 인터리브 프로그램 레지스터에 의해 프로그램된 코드에 따라 상기 멀티 뱅크 FRAM 어레이의 어드레스 경로를 변경하기 위한 제어신호를 출력하는 인터리브 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 17.

제 16항에 있어서, 상기 불휘발성 인터리브 프로그램 레지스터는

라이트 인에이블 신호와, 칩 인에이블 신호와, 출력 인에이블 신호 및 리셋신호에 따라 프로그램 명령을 코딩하기 위한 명령신호를 출력하는 프로그램 명령 처리부;

상기 명령신호, 입력 데이터 및 파워 업 검출신호를 논리연산하여 라이트 제어 신호 및 셀 플레이트 신호를 출력하는 프로그램 레지스터 제어부; 및

강유전체 메모리 소자를 구비하고, 상기 라이트 제어 신호, 상기 셀 플레이트 신호, 풀업 인에이블 신호 및 풀다운 인에이블 신호에 따라 프로그램된 코드 신호를 출력하는 프로그램 레지스터 어레이를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 18.

제 17항에 있어서,

상기 불휘발성 인터리브 프로그램 레지스터는 파워 업시 상기 리셋신호를 상기 프로그램 배열 레지스터 제어부에 출력하는 리셋 회로부를 더 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 19.

제 17항에 있어서, 상기 프로그램 명령 처리부는

상기 라이트 인에이블 신호, 상기 칩 인에이블 신호, 상기 출력 인에이블 신호 및 상기 리셋신호를 논리연산하는 논리부;

상기 논리부의 출력신호에 대응하여 상기 출력 인에이블 신호의 토글을 순차 적으로 플립플롭시켜 상기 명령신호를 출력하는 플립플롭부; 및

상기 출력 인에이블 신호의 오버 토글을 감지하는 오버 토글 감지부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 20.

제 19항에 있어서,

상기 논리부는 상기 칩 인에이블 신호 및 상기 라이트 인에이블 신호가 로우인 상태에서 상기 출력 인에이블 신호가 출력되고, 상기 칩 인에이블 신호 및 상기 라이트 인에이블 신호 중 적어도 어느 하나가 하이로 천이하면 상기 리셋신호가 인에이블 됨을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 21.

제 19항 또는 제 20항에 있어서, 상기 논리부는

상기 라이트 인에이블 신호와 상기 칩 인에이블 신호를 노아연산하는 제 1노아게이트;

상기 제 1노아게이트의 출력신호와 상기 출력 인에이블 신호를 앤드연산하는 제 1앤드게이트;

상기 제 1노아게이트의 출력신호, 반전된 상기 리셋신호 및 상기 오버 토글 감지부의 출력신호를 앤드연산하는 제 2 앤드게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 22.

제 19항에 있어서, 상기 플립플롭부는 복수개의 플립플롭을 구비하고,

상기 복수개의 플립플롭은 데이터 입력 노드와 출력 노드가 서로 직렬 연결되어 출력단을 통해 상기 명령 신호가 출력되고, 상기 논리부로부터 인가되는 활성화 동기 신호에 따라 상기 출력 인에이블 신호의 토글을 플립플롭시킴을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 23.

제 22항에 있어서, 상기 복수개의 플립플롭은

상기 활성화 동기 신호의 상태에 따라 입력 신호를 선택적으로 출력하는 제 1전송게이트;

상기 제 1전송게이트의 출력신호 및 상기 리셋신호를 낸드연산하는 제 1낸드게이트;

상기 활성화 동기 신호의 상태에 따라 제 1낸드게이트의 출력신호를 선택적으로 출력하는 제 2전송게이트;

상기 활성화 동기 신호의 상태에 따라 반전된 상기 제 1전송게이트의 출력신호를 선택적으로 출력하는 제 3전송게이트;

상기 제 3전송게이트의 출력신호와 상기 리셋신호를 낸드연산하는 제 2낸드게이트;

상기 활성화 동기 신호의 상태에 따라 상기 제 2낸드게이트의 출력신호를 선택적으로 출력하는 제 4전송게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 24.

제 19항에 있어서, 상기 오버 토글 감지부는

상기 명령신호 및 상기 출력 인에이블 신호를 앤드연산하는 제 3앤드게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 25.

제 17항에 있어서, 상기 프로그램 레지스터 제어부는

상기 명령신호 및 상기 입력 데이터를 앤드연산하는 제 4앤드게이트;

상기 제 4앤드게이트의 출력을 비반전 지연하는 제 1지연부;

상기 제 4앤드게이트의 출력신호와 상기 제 1지연부의 출력신호를 노아연산하는 제 2노아게이트;

상기 제 2노아게이트의 출력을 지연하여 상기 라이트 제어 신호를 출력하는 제 2지연부;

상기 제 2노아게이트의 출력신호와 상기 파워 업 검출신호를 노아연산하는 제 3노아게이트; 및

상기 제 3노아게이트의 출력신호를 반전 지연하여 상기 셀 플레이트 신호를 출력하는 제 3지연부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 26.

제 17항에 있어서, 상기 프로그램 레지스터 어레이는

상기 풀업 인에이블 신호의 인에이블시 전원전압을 풀업시키는 풀업 구동소자;

프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀업 구동소자로부터 인가되는 전압을 구동하는 제 1구동부;

상기 라이트 제어 신호에 따라 상기 리셋신호 및 셋트 신호를 상기 프로그램 레지스터의 양단에 출력하는 라이트 인에이블 제어부;

상기 셀 플레이트 신호에 따라 상기 프로그램 레지스터의 양단에 전압 차를 발생시키는 강유전체 캐패시터부;

상기 풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 구동소자; 및

상기 프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀다운 구동소자로부터 인가되는 전압을 구동하는 제 2구동부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 27.

복수개의 멀티 बैं크 인터리브를 구비하고, 각각의 멀티 बैं크 인터리브는 불휘발성 강유전체 메모리를 포함하여 메모리 인터리브 제어를 위한 코드를 프로그램 하며, 프로그램된 코드에 따라 어드레스 경로를 변경하는 멀티 बैं크 인터리브 FRAM 어레이;

메모리 제어신호에 따라 상기 멀티 बैं크 인터리브 FRAM 어레이의 데이터/제어신호/어드레스를 선택적으로 제어하는 메모리 제어부; 및

상기 멀티 बैं크 인터리브 FRAM 어레이와 상기 메모리 제어부와 상호 데이터를 교환하기 위한 버스를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 28.

제 27항에 있어서, 상기 멀티 बैं크 인터리브 FRAM 어레이는

불휘발성 강유전체 메모리를 이용하여 인터리브 제어를 위한 코드를 프로그램 하는 불휘발성 인터리브 프로그램 레지스터; 및

상기 불휘발성 인터리브 프로그램 레지스터에 의해 프로그램된 코드에 따라 상기 어드레스 경로를 변경하기 위한 제

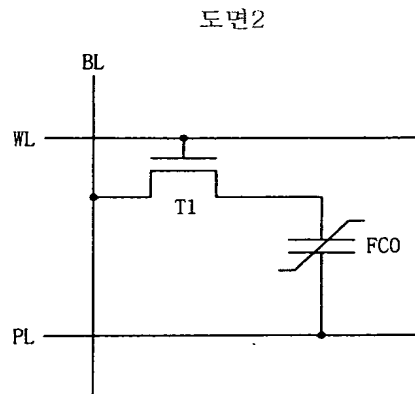
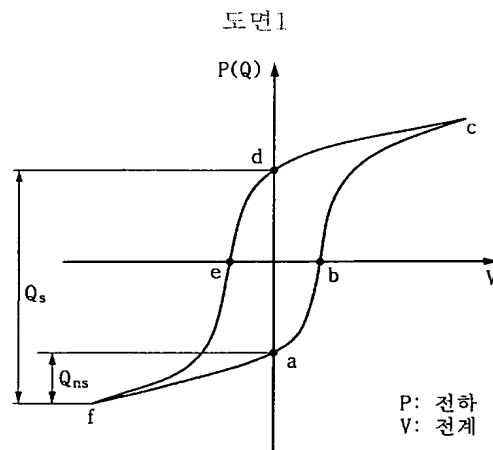
어신호를 출력하는 인터리브 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

청구항 29.

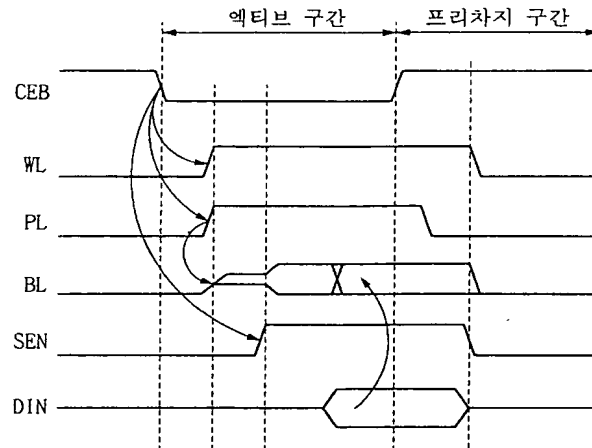
불휘발성 강유전체 메모리를 이용하여, 입력되는 데이터/제어/어드레스에 따라 인터리브 제어를 위한 코드를 프로그램 하는 불휘발성 인터리브 프로그램 레지스터; 및

상기 불휘발성 인터리브 프로그램 레지스터에 의해 프로그램된 코드에 따라 복수개의 뱅크를 구비하는 메모리 칩 어레이의 어드레스 경로를 변경하기 위한 제어신호를 출력하는 인터리브 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 인터리브 제어 장치.

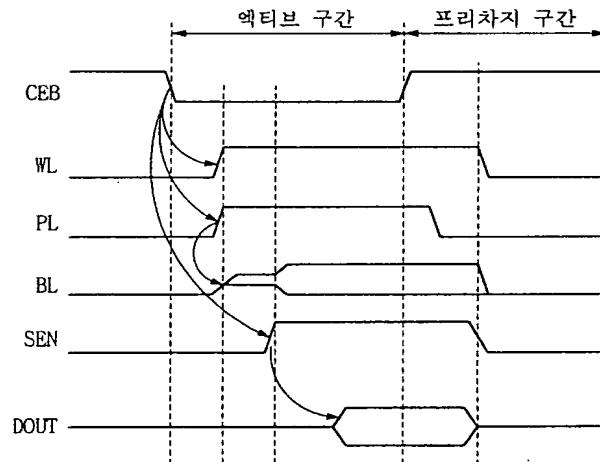
도면



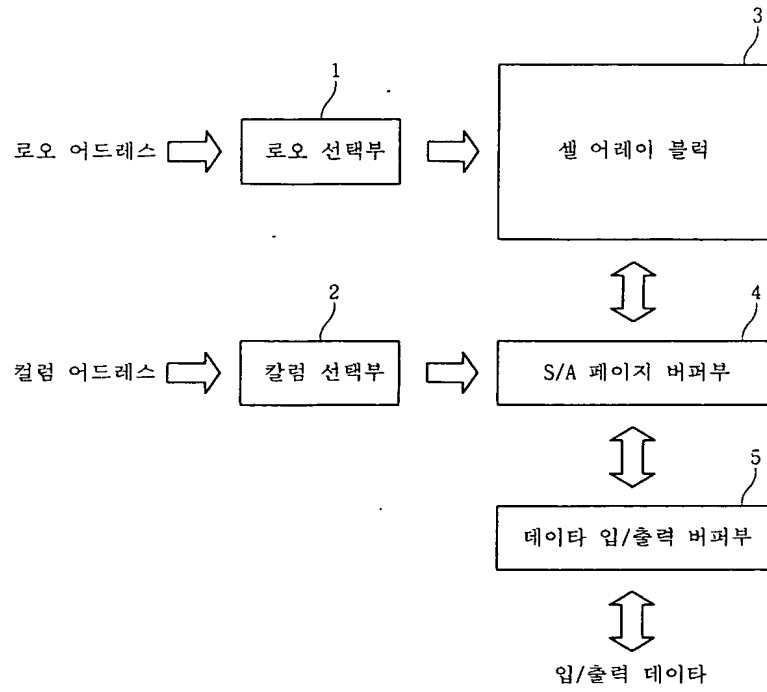
도면3a



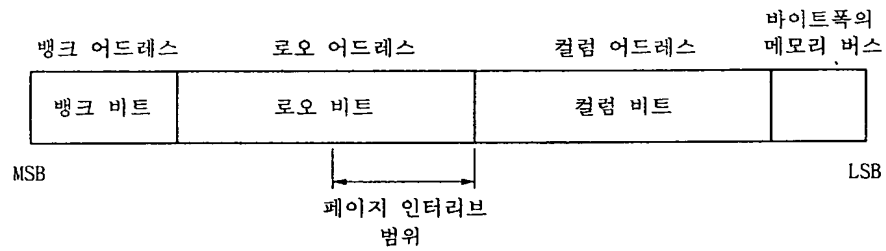
도면3b



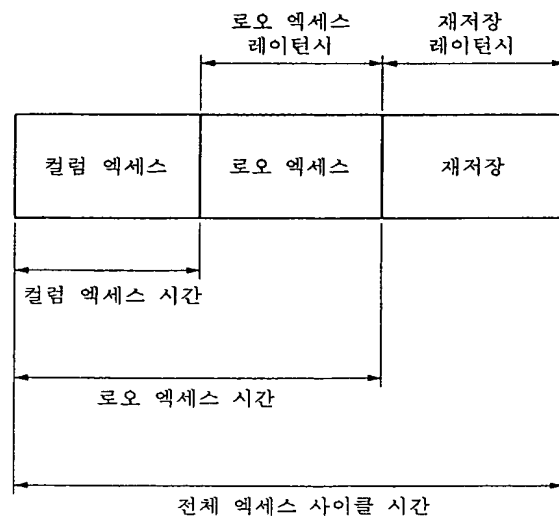
도면4



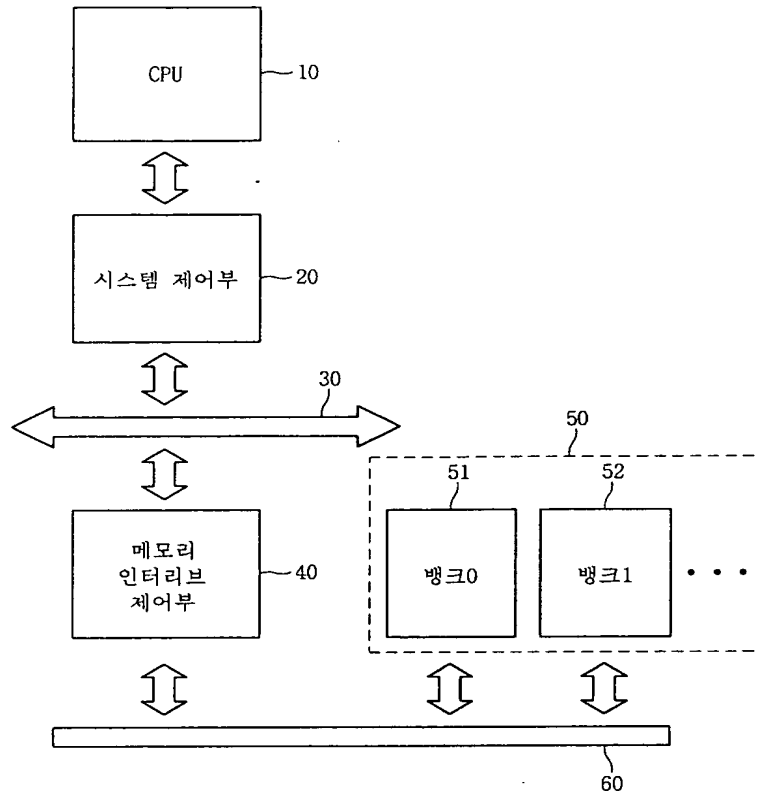
도면5



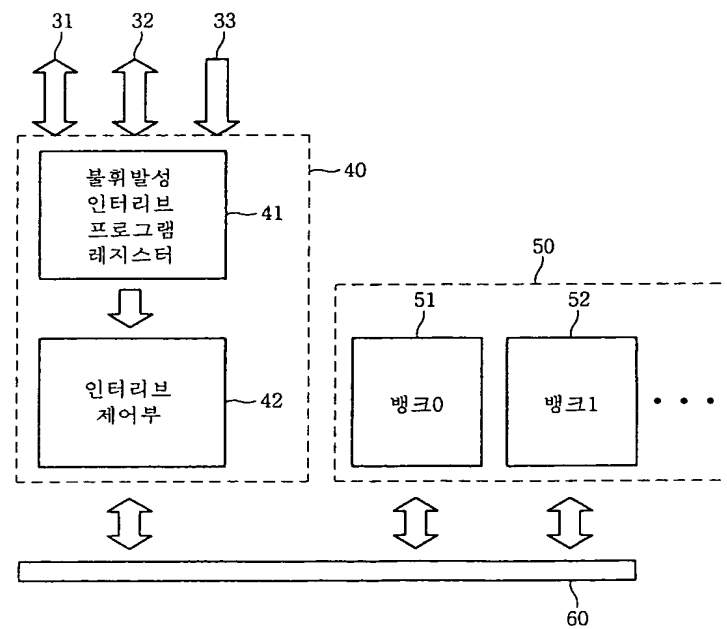
도면6



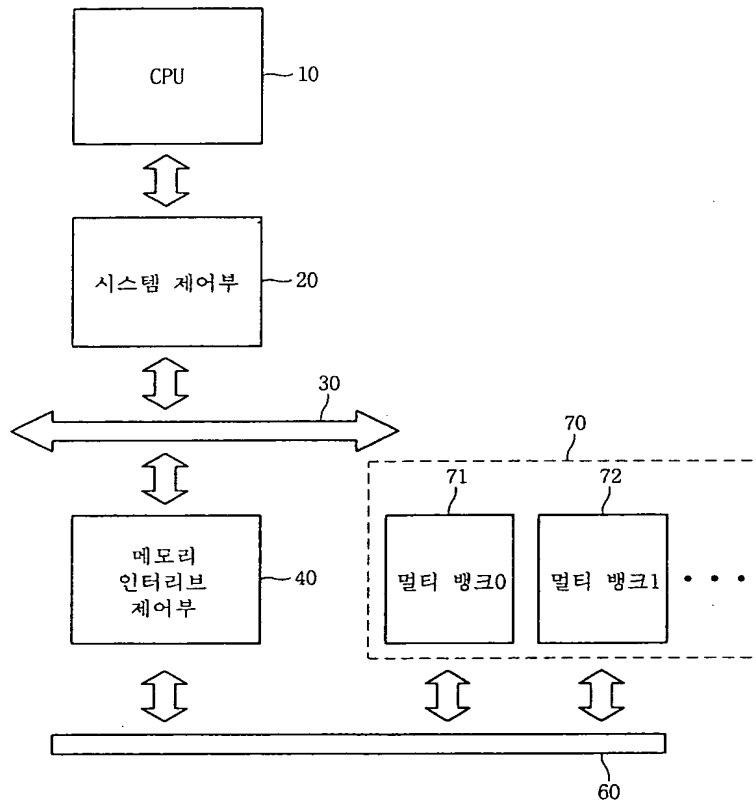
도면7



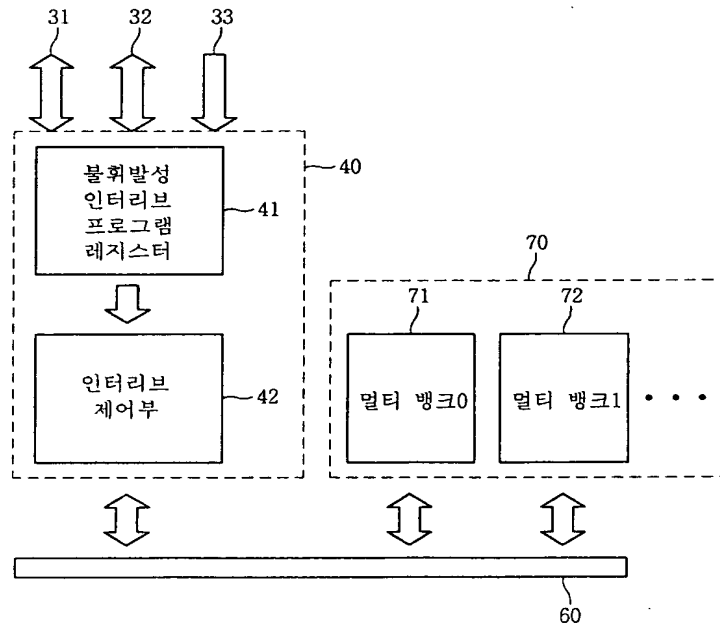
도면8



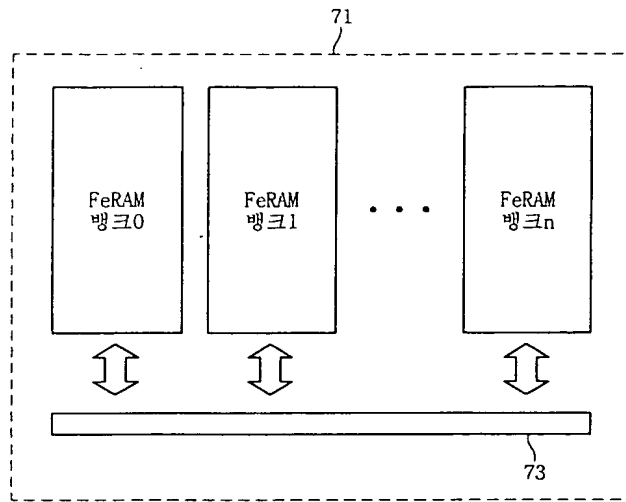
도면9



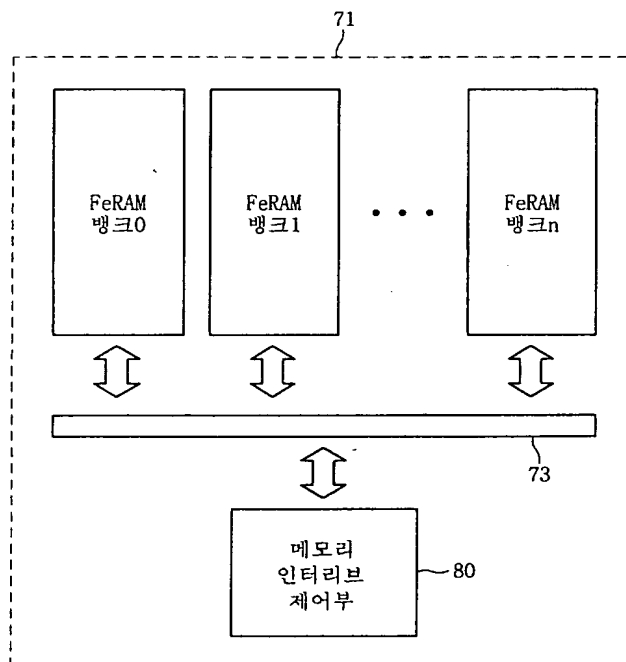
도면10



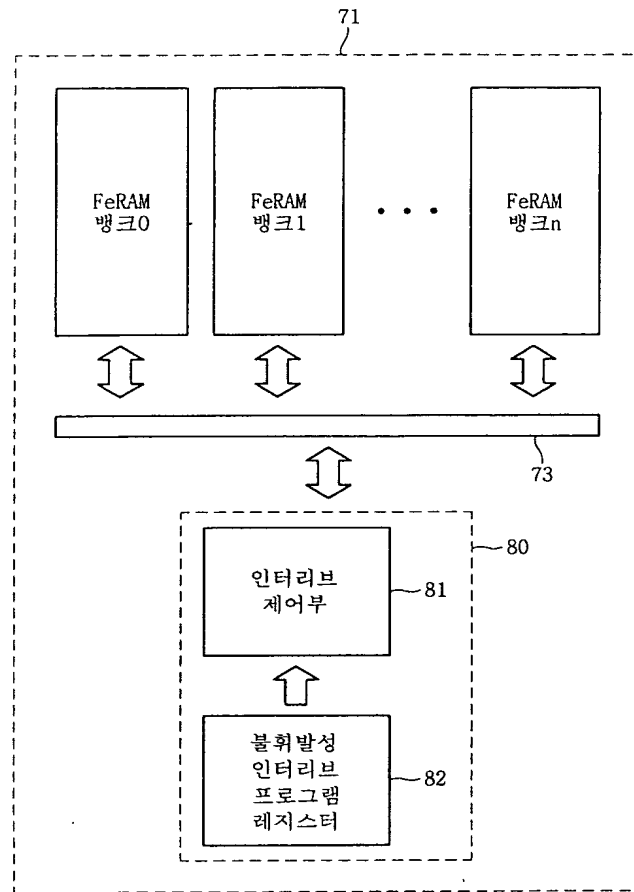
도면11



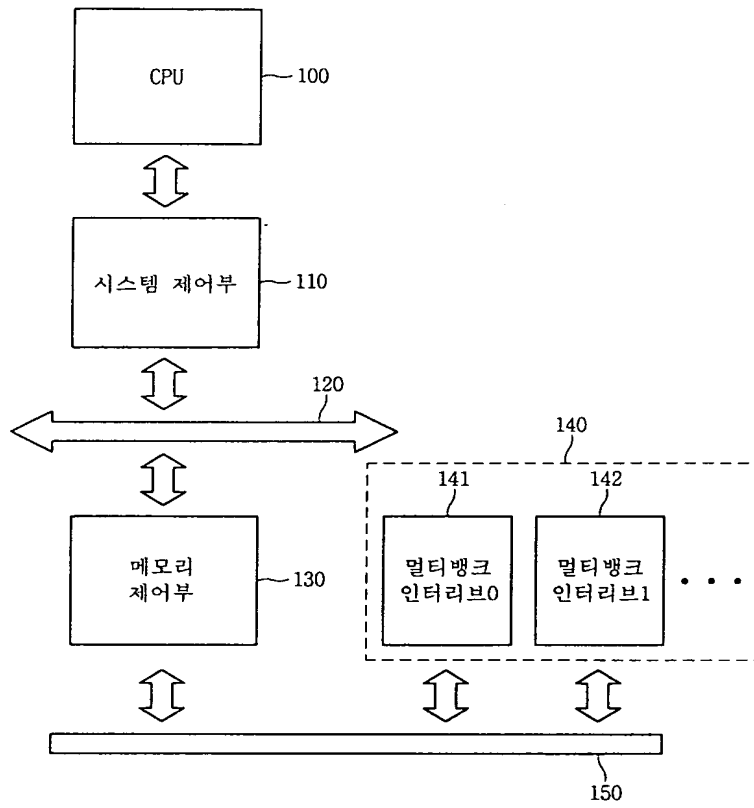
도면12



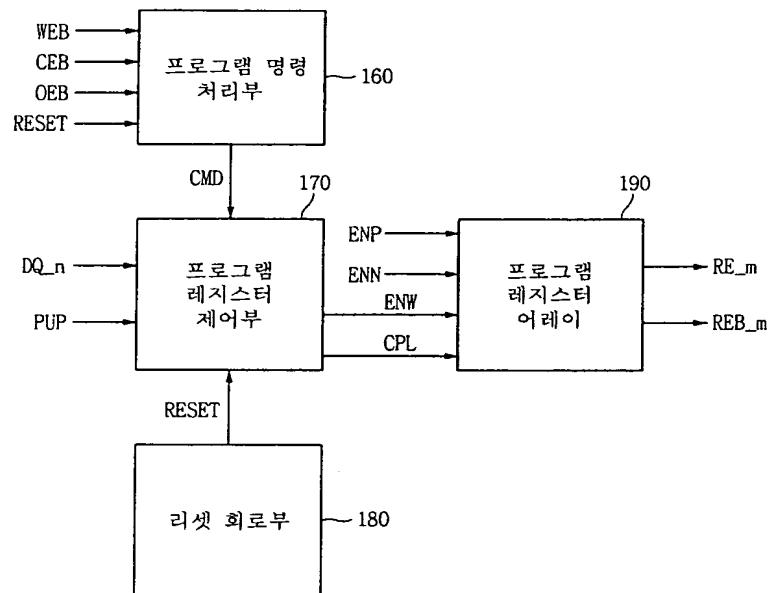
도면 13



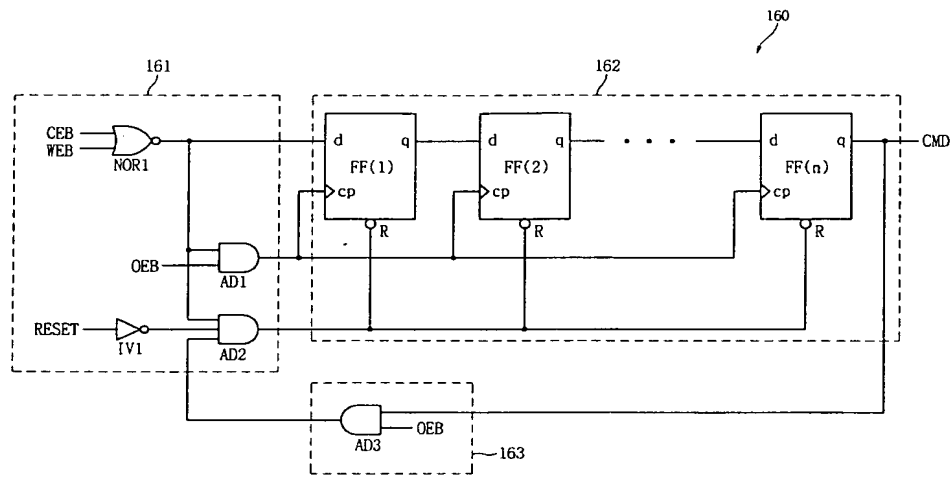
도면14



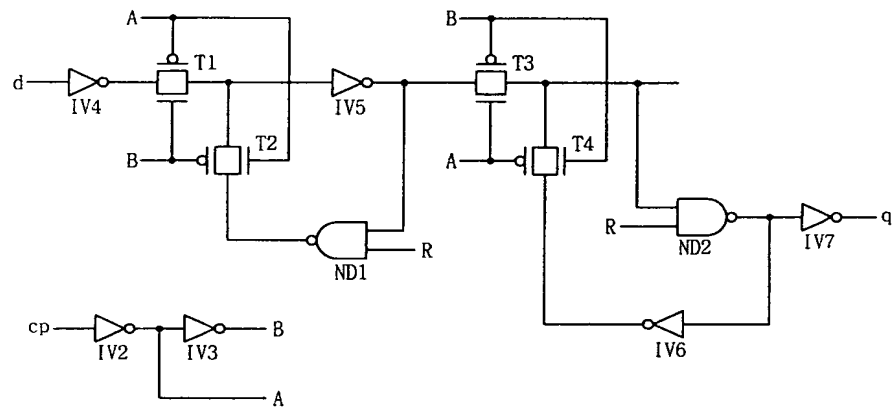
도면15



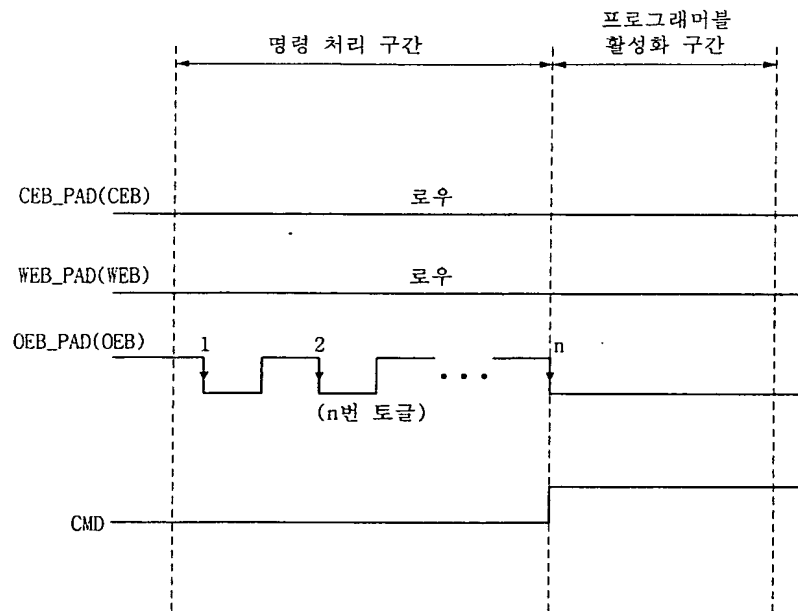
도면 16



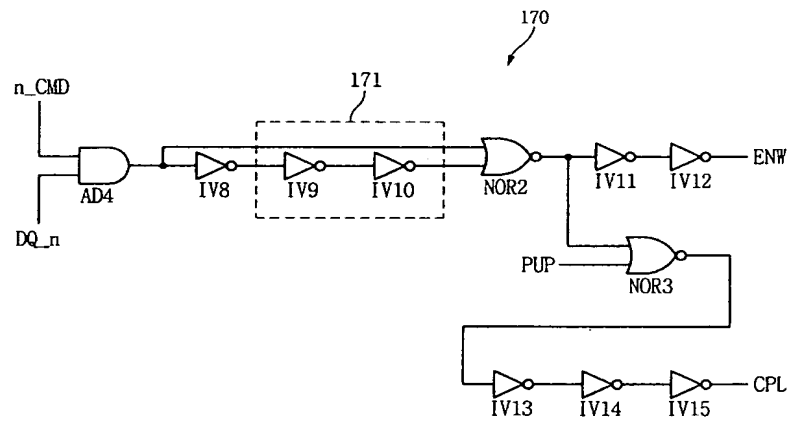
도면 17



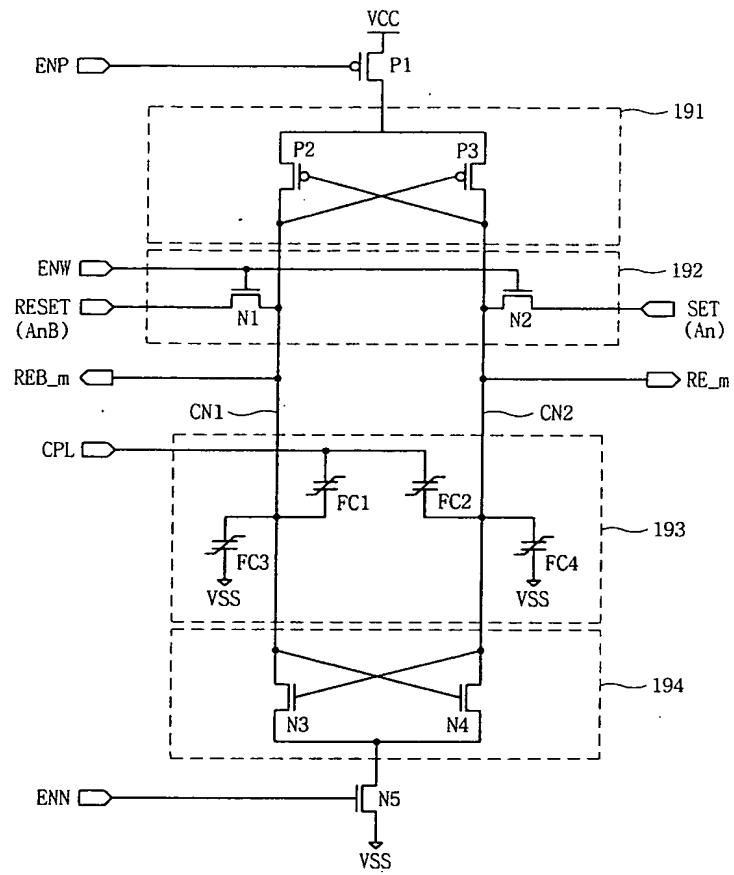
도면18



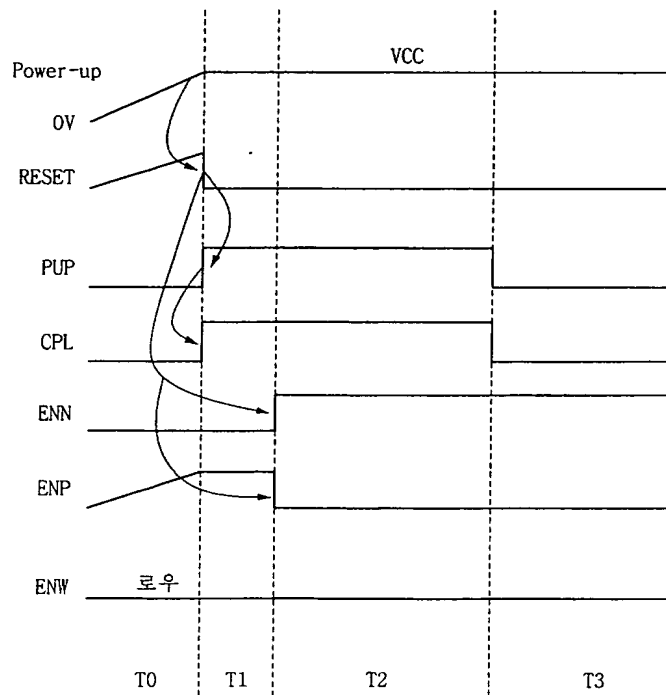
도면19



도면 20



도면 21



도면22

